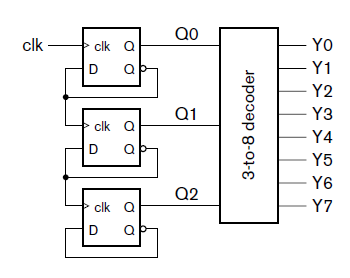
# Ejercicios Arquitectura de Computadoras

1. Escriba un modelo Verilog para un registro parametrizable. En caso de no indicar ningún valor para el parámetro el registro debe ser de 32 bits.
2. Desarrolle un modelo Verilog de un circuito con “pipeline” que compute el valor máximo de 3 flujos de entrada, a, b y c. El pipeline debe tener 2 etapas:

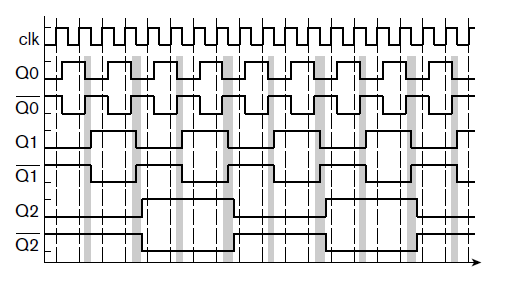
* La primera etapa determina cual es el mayor entre ‘a’ y ‘b’ y guarda el valor de ‘c’.
* La segunda etapa busca el mayor entre ‘c’ y el resultado de la comparación de ‘a’ y ‘b’.

Las entradas y salidas son de 14 bits con signo, en complemento a 2.

1. Desarrolle un modelo en Verilog de un registro similar al del punto 1 pero agregando “clock-enable” y reset síncrono. El registro debe poder almacenar enteros en complemento a 2.
2. Desarrolle un modelo Verilog de un detector de picos que encuentre el valor máximo dentro de una secuencia de enteros sin signo de 10 bit. Un nuevo número arriba a la entrada con un flanco ascendente del reloj. El valor del máximo número ingresado deberá ser mostrado en los 8 de los leds de usuario presentes en el kit de desarrollo BASYS 2. Se deberá implementar una señal de “RESET” utilizando uno de los pulsadores dispuestos en el kit para el usuario. El valor máximo mostrado en los leds será borrado (todos los leds apagados) cuando llegue un reset.
3. Escriba un modelo Verilog de un flip-flop con:
   1. Una señal de “Clock-enable” síncrona con lógica negativa
   2. 2 entradas, una de reset y otra de preset asincrónicas y con lógica positiva.
   3. Y ambas salidas Q y ~Q (not Q).
4. Describa en Verilog un contador del tipo “free-running” que cuente 32 ciclos de reloj y produzca una señal de control que valdrá ‘1’ cada 4, 20 y 24 ciclos.
5. Describa en Verilog un circuito que utilice contadores para dividir un master clock de 20.48 MHz y genere un señal con un “duty cycle” del 50% y una frecuencia de 5 KHz.
6. Describa en Verilog un circuito para un contador de módulo 12. Se deberá permitir cargar un valor umbral, con una resolución <= a 12 bits utilizando los switches dispuestos en la placa de desarrollo BASYS 2. Cuando el contador alcance (o supere) dicho umbral deberá encender un led (de los disponibles en el kit de desarrollo) que indique dicho evento. Al alcanzar su valor de cuenta máxima se deberá apagar dicho LED.
7. El esquemático de la figura 1 muestra un contador de ripple conectado a un decodificador. En el diagrama de tiempos de la figura 2 se muestran los valores a la salida del decodificador, incluyendo cualquier pulso espurio que se puede generar cuando el contador se incrementa.
   1. Se pide implementar el circuito mostrado en la figura 1 para generar las salidas (Y0…Y7) mostradas en el diagrama de la figura 2.



*Figura 1.*



*Figura 2*

1. Suponga un sistema síncrono que utiliza registros con un tiempo de setup de 150ps y un delay clock-to-ouput, de 400ps. 3 caminos del tipo “register-to-register” dentro del “datapath” tienen un delay de propagación de 600ps, 900ps y 1.3 ns respectivamente.
   1. ¿Cuál es la máxima frecuencia de reloj que el datapath puede operar?
   2. Si el “path” con un delay de 1.3ns es optimizado para reducir el delay a 800ps, ¿Cuál es la máxima frecuencia de reloj posible para el nuevo datapath optimizado?
2. Diseñe un circuito en Verilog que sea capaz de contar el periodo de una señal externa periódica y de onda cuadrada, con una resolución de 8 bits y mostrarlo en los 8 Leds de usuarios disponibles en la placa BASYS 2.

NOTA: Para realizar este ejercicio deberá utilizar un generador de señales.

1. Agregue la capacidad de almacenar el máximo y mínimo periodo medido de la señal externa hasta el momento. Para mostrar dichos valores deberá utilizar uno y solo un pulsador de los disponibles en los kits de desarrollo BASYS 2. El pulsador funcionara de la siguiente manera:
   1. Por default muestra el periodo instantáneo de la señal externa.
   2. Al pulsarlo 1 vez muestra el máximo periodo medido.
   3. Al pulsarlo por segunda vez muestra el mínimo periodo medido hasta el momento.
   4. Al pulsarlo por tercera vez vuelve a mostrar el periodo instantáneo de la señal externa y el ciclo de pulsaciones comienza nuevamente.
2. Describa en Verilog e implemente en el kit BASYS 2 un PWM con resolución de 4 bits. Deberá modular el ancho de pulso de una onda cuadrada externa, la cual se introducirá a la placa a través de alguno de los pines disponibles para señales externas. Se Deberá determinar la máxima frecuencia de señal de entrada que su circuito puede modular.